

氏 名	松本 洋平
授与した学位	博 士
専攻分野の名称	工 学
学位授与番号	博甲第3023号
学位授与の日付	平成17年 9月30日
学位授与の要件	自然科学研究科数理電子科学専攻 (学位規則第4条第1項該当)
学位論文の題目	FPGA の配線アーキテクチャに関する研究
論文審査委員	教授 正木 亮 教授 谷口 秀夫 教授 山崎 進

学位論文内容の要旨

FPGA (field-programmable gate array)は再構成可能なLSIであり、FPGAを用いることで論理LSIを設計コストや設計期間を削減することが可能である。FPGAの市場は半導体産業の中で最も高い成長率を示しており、今後も、微細化に伴ってカスタムLSIの設計が困難になるに従って、さらなる成長が見込まれる。

近年のFPGAが目覚ましい高速・高集積化は様々なアーキテクチャパラメータの導入と最適化によってなされてきた。しかしながら、高集積化に伴ってスイッチが増加するという問題は未解決であり、さらに、低消費電力化が新たな課題として浮上している。これらの問題・課題は従来のアーキテクチャパラメータの最適化だけでは解決不可能である。本稿ではこれらの問題・課題を解決する3つの研究成果を述べている。

第1に多次元FPGAを2次元チップに埋め込んで実現することで未解決であった高集積化に伴うスイッチの増加の問題を解決できることを示した。本手法は、同様の効果が期待される3次元FPGAのように3次元集積回路技術などの特殊な半導体プロセスを必要とせず、容易に実現可能である。本手法の効果は高集積化に従って高くなることから、多次元FPGAは今後の高集積FPGAの基本アーキテクチャとなると考えられる。したがって、その重要性を考慮し国内外への特許出願済みである。

第2に複数ゲート幅のパッシブスイッチを混在することで、パッシブスイッチの動作速度を約20%、面積効率を約30%、消費電力を約50%向上できることを示した。また、第3に配線リソースを部分的に低電圧化し非クリティカルネットを低電圧の配線リソースに割当てて動作速度を損なうことなく消費電力を削減可能であることを示した。

第2、第3の手法は従来のアーキテクチャパラメータのトレードオフポイントを超えた性能向上を実現することが可能であり、また、第1の手法と併用することが可能である。

将来は多次元FPGAを基本アーキテクチャとし、従来のアーキテクチャパラメータの最適化に加えて、第2、第3の手法を適用することでさらなる高速・高集積・低消費電力FPGAが実現可能となる。

論文審査結果の要旨

FPGA (field-programmable gate array)は再構成可能で任意の論理を構成できるLSIであり、半導体市場での成長率が現在最も高く、今後もさらに重要性を増すと考えられている。しかし、FPGAは多数のプログラマブルなスイッチを内蔵する構造を持ち、高集積化に伴ってスイッチ数が指数関数的に増加するため、動作速度の低減や消費電力の増大を抑えながら高集積化を進めることが困難となりつつある。

従来、この問題を解決するために、3次元集積回路技術を用いてFPGAを3次元化する研究が行われてきたが、3次元集積回路技術の実現は依然として困難で、高集積3次元FPGAの実現見通しは得られていない。

本研究では、3次元FPGAの配線トポロジーを2次元平面に埋め込むことによっても3次元化によるスイッチ削減効果が得られることに着目し、多次元トポロジーを2次元チップに埋め込む手法を発明した。また、所要スイッチ数の解析とシミュレーションを行い、高集積化に伴うスイッチ数増加の問題を大幅に軽減できることを示した。本手法によれば、例えば、100万ブロックの5次元FPGAは2次元FPGAに比較して約90%少ないスイッチ数で実現可能である。

また、本研究では、上記に加え、FPGAの配線アーキテクチャ全般に関して検討を行い、複数ゲート幅のパッシブスイッチを混在する手法や、クリティカルでない信号ネットを低電圧化する手法で動作速度向上と消費電力低減を実現できることを示した。

上記の研究成果の中で、特に多次元トポロジーは今後の高集積FPGAの基本アーキテクチャとなると期待され、科学技術振興機構(JST)からも高い評価を受け、国内外へ特許を出願済みである。

FPGAはきわめて重要な技術であるにもかかわらず、従来日本ではFPGAの研究は一部の応用的研究以外はあまり行われておらず、米国と比べて著しく遅れていた。本研究は日本におけるFPGAの研究開発を加速するきっかけとなることが期待されるものである。

よって、本論文は博士(工学)の学位に値するものと認める。